



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020000019893

(43) Publication Date. 20000415

(21) Application No.1019980038226

(22) Application Date. 19980916

(51) IPC Code:

H01L 29/786

(71) Applicant:

LG.PHILIPS LCD CO., LTD.

(72) Inventor:

CHOI, JAE BEOM

HAN, CHANG UK

LEE, JAE GYUN

SEO, SEONG MO

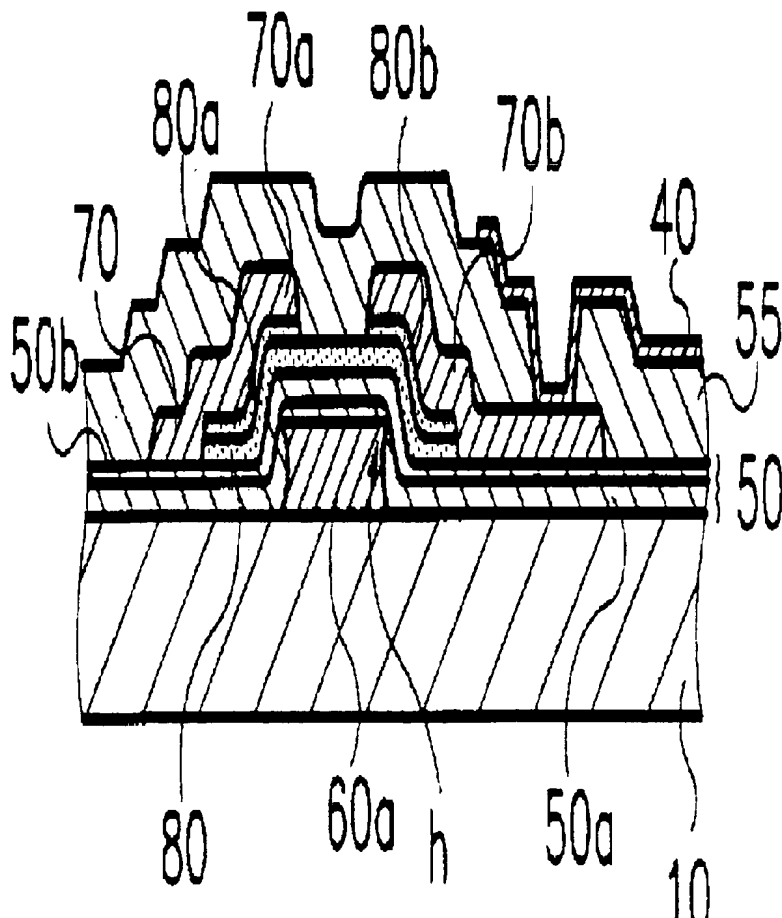
SO, HUI SEOP

(30) Priority:

(54) Title of Invention

THIN FILM TRANSISTOR

Representative drawing



(57) Abstract:

PURPOSE: A thin film transistor is provided to improve a current characteristic of the thin film transistor by forming a thickness of a gate insulating film thinly, to improve a fabrication yield of a liquid crystal display device by reducing a TFT error, and to realize a high opening rate.

CONSTITUTION: A thin film transistor comprises an insulating film(50) which is intervened between a semiconductor layer of a switching device and a selected electrode of the switching device. The insulating film(50) is composed of a tetraethoxysilane(TEOS) oxide film, which is in a range of 500-2000 angstrom. Or, the insulating film(50) is formed by

... piling The TEOS oxide film and a nonorganic insulating film so as to be connected the nonorganic insulating film to the semiconductor layer. The TOES film has a thickness of 500–2000 angstrom, and the nonorganic insulating film has a thickness of about 500–2000 angstrom. The nonorganic insulating film is one selected from a group of SiNx and SiOx, and the semiconductor layer is composed of a-Si layer.

COPYRIGHT 2000 KIPO

if display of image is failed. press (F5)

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁶ (11) 공개번호 특2000-0019893
H01L 29/786 (43) 공개일자 2000년04월 15일

(21) 출원번호 10-1998-0038226
(22) 출원일자 1998년09월 16일
(71) 출원인 엘지.필립스 엘시디 주식회사 구본준, 론 위라하디락사
서울특별시 영등포구 여의도동 20번지
(72) 발명자 이재균
경기도 안양시 동안구 호계동 941-4번지
소희섭
경기도 성남시 분당구 아탑동 185 목련마을 709-303
최재범
서울특별시 종로구 옥인동 옥인연립 5-31
서성모
경기도 안양시 동안구 호계동 경향아파트 20-102
한창욱
서울특별시 마포구 성산1동 250-11 청운빌라 비동 201호
(74) 대리인 나천열, 백승남

심사청구 : 없음

(54) 박막트랜지스터

요약

본 발명은 게이트절연막의 두께를 얇게 형성하여 TFT의 I_{on} 전류 특성을 좋게하고 TFT불량을 줄임으로써, 액정표시장치의 제조 수율을 향상하고 고개구율을 구현할 수 있도록 하는 것을 목적으로 한다.

상기 목적 달성을 위하여 게이트절연막 50은 스택버리지 특성이 우수한 TEOS산화막 50a를 게이트슬더 h를 극복할 수 있을 정도의 두께인 1000 Å 정도로 증착하고, 그 위에 $SiNx, SiOx$ 등의 무기절연막 50b를 적당한 두께로 증착하여 전체의 두께가 4000 Å 이하의 두께가 되도록 형성한다. 즉, TEOS산화막 50a는 게이트슬더를 극복할 수 있을 정도의 1000 Å 두께로 형성하고, $SiNx, SiOx$ 등의 무기절연막 50b는 TEOS산화막 표면을 크리닝하는 과정에서 생긴 표면의 흠 결함을 완전히 메우고 표면에 얇은 막을 형성할 수 있을 정도의 두께로 형성함으로써, TFT의 I_{on} 전류 특성을 개선시킬 수 있고, TFT의 제조수율은 향상된다.

특히, TFT의 I_{on} 전류 특성이 개선된 만큼 TFT의 면적을 작게할 수 있음으로 액정표시장치의 개구율은 그만큼 향상될 것이다.

대표도

도5

명세서

도면의 간단한 설명

도 1은 일반적인 액정표시장치의 TFT어레이 기판의 평면도이고,

도 2는 도 1의 단면도이고,

도 3은 종래의 TFT의 불량을 설명하기 위한 단면도이고,

도 4, 도 5는 본 발명의 TFT를 설명하기 위한 단면도이다.

도면의 주요 부분에 대한 부호의 설명

10 투영기판 60a 게이트전극
50 게이트절연막 50a TEOS산화막
50b $SiNx, SiOx$ 막 70a 소스전극

70b 드레인전극

80 반도체층

80a, 80b 오믹접촉층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치의 스위칭소자(TFT:thin film transistor) 등을 형성하는데 있어서, 그 TFT의 게이트절연막으로 TEOS(tetraethoxysilane)산화막 등을 이용함으로써 TFT의 제조불량을 줄여 수율을 향상하는 것에 관련된 것이다.

일반적으로 액정표시장치의 기판은 도 1에서와 같이 투명기판 위에 인접하는 2개의 게이트버스라인 60과 인접하는 2개의 데이터버스라인 70이 교차하여 이루는 영역 내에 화소전극 40이 형성되고, 상기 화소전극과 전기적으로 접촉되는 TFT 30이 상기 게이트버스라인 60과 상기 데이터버스라인 70의 교차영역 부분에 형성된다.

상기 TFT 30은 상기 게이트버스라인 60에서 분기하는 게이트전극 60a, 상기 게이트전극부에 성모양으로 형성되는 반도체층 80, 상기 데이터버스라인 70에서 분기하는 소스전극 70a 및 상기 소스전극과 대향하도록 배치된 드레인전극 70b 등으로 구성된다.

상기 화소전극 40과 상기 게이트버스라인 60이 중첩되는 부분은 보조용량전극 37이 구성된다.

상기와 같이 구성되는 종래 액정표시장치의 구조 및 제조과정은 도 2(도 1의 A-A'선을 따라 절단하여 나타내는 단면도)를 참고하여 더 상세히 설명한다.

먼저, 한 예로 Cr금속막을 스퍼터법으로 투명기판 10 위에 증착하고, 상기 Cr금속막을 포토리소그래피법으로 에칭하여 게이트버스라인 60과 상기 게이트버스라인 60에서 분기하는 게이트전극 60a를 형성한다.

이어서, 게이트절연막 50이 되는 SiNx , SiOx 등의 무기절연막과, 반도체층 80이 되는 a-Si층과, 오믹접촉층 80a, 80b가 되는 n^+ 이온이 도핑된 a-Si층을 스퍼터법으로 연속하여 증착하고, 포토리소그래피법으로 에칭하여 상기 a-Si층과, n^+ 이온이 도핑된 a-Si층이 게이트전극 60a 부분에 성모양으로 형성되도록 한다. 이어서, 한 예로 Cr금속막을 스퍼터법으로 증착하고, 포토리소그래피법으로 에칭하여 게이트절연막 위에 데이터버스라인 70이 형성되도록 하고, 상기 데이터버스라인 70에서 분기하는 소스전극 70a와 상기 소스전극과 대향하는 드레인전극 70b가 각각 n^+ 이온이 도핑된 a-Si층 즉, 오믹접촉층 80a, 80b에 접촉되도록 형성한다. 상기 데이터버스라인, 소스전극 및 드레인전극의 형성과정에서 게이트버스라인 영역 위에 보조용량전극을 형성하기 위한 슬릿금속막(도시되지 않음)이 동시에 형성된다.

상기 소스전극 70a 및 드레인전극 70b를 마스크로 하여 드라이에칭 등의 방법으로 오믹접촉층을 에칭함으로써 그 오믹접촉층 80a, 80b는 서로 분리되도록 한다.

이어서, 상기 소스 및 드레인전극 등이 형성된 기판의 전면에 SiNx , SiOx 등의 무기절연막을 증착하거나 BCB(benzocyclobutene) 등의 유기절연막을 도포하여 보호막 55를 형성하고, 상기 보호막 55를 포토리소그래피법으로 에칭하여 드레인전극 70b의 일부가 노출되는 제1콘택홀 20과 슬릿금속막의 일부가 노출되는 제2콘택홀(도시하지 않음)이 형성되도록 한다.

이어서, ITO(Indium Tin Oxide)막을 상기 보호막 55의 전면에 스퍼터법으로 증착하고, 포토리소그래피법으로 에칭하여 드레인전극 70b 및 슬릿금속막과 접촉되는 구조로 화소전극 40을 형성한다.

그러나, 상기와 같은 종래 구조의 액정표시장치의 기판에 있어서는, 스텝커버리지(step coverage)의 특성이 좋지 않고, 표면이 거친 SiNx , SiOx 등의 무기절연막을 게이트절연막 50으로 사용하고 있기 때문에 상기 게이트절연막이 게이트버스라인 및 게이트전극의 슬더(shoulder)를 극복하여 소스전극 70a 및 드레인전극 70b와 접촉되지 않도록 하기 위해서는 게이트절연막 50이 약 4000Å 이상의 두께로 형성되어야 한다. 상기와 같이 4000Å 이상의 두께로 게이트절연막을 형성하는 경우에는 TFT의 I_{on} 전류 특성의 저하를 가져 오므로 TFT의 성능이 저하되거나 TFT의 불량률이 발생하여 제품의 수율이 저하되는 문제점이 있다.

TFT의 I_{on} 전류 특성을 좋게 하기 위하여 게이트절연막의 두께를 4000Å보다 얇게 형성하면 도 3에서와 같이 게이트전극의 슬더 h 부분에서 소스전극 70a 및 드레인전극 70b와 게이트전극 60a의 쇼트에 의하여 TFT불량이 발생할 수 있다.

발명이 이루고자하는 기술적 과제

본 발명은 게이트절연막의 두께를 얇게 형성하여 TFT의 I_{on} 전류 특성을 좋게하고 TFT불량을 줄임으로써, 액정표시장치의 제조 수율을 향상하는 것을 목적으로 한다.

또, TFT의 I_{on} 전류 특성을 좋게함으로써 TFT의 형성 면적을 작게하여 고개구율의 액정표시장치를 구현할 수 있도록 하는데 목적이 있다.

상기 목적 달성을 위하여 본 발명의 게이트절연막 50은 스텝커버리지 특성이 우수한 TEOS산화막을 1500Å 이하의 두께로 증착하고, 그 위에 SiNx , SiOx 등의 무기절연막을 얇게 증착하여 구성한다.

TEOS산화막 만으로 게이트절연막을 구성할 수 있지만, 그보다는 반도체층과의 계면특성 때문에

SiNx , SiOx 등의 무기절연막을 적층하여 구성하는 것이 바람직하다.

발명의 구성 및 작용

본 발명은 상기 목적을 달성하기 위하여 적어도 스위칭소자의 선택되는 전극(게이트전극)과 그 스위칭소자의 반도체층 사이에 개재되는 절연막은 TEOS산화막으로 구성되는 것을 특징으로 하거나, 상기 절연막은 TEOS산화막과 무기절연막이 적층되어 이루어짐과 아울러, 상기 반도체층이 상기 무기절연막과 접하는 구조로 이루어지는 것을 특징으로 한다.

상기 TEOS산화막의 두께는 $500 \text{ \AA} \sim 2000 \text{ \AA}$, 상기 무기절연막의 두께는 $500 \text{ \AA} \sim 2000 \text{ \AA}$ 이 바람직하다.

이하 본 발명의 액정표시장치의 기판에 구성되는 TFT의 제조과정 및 구조에 대하여 도 4 및 도 5를 참고하여 상세히 설명하되, 종래의 구조와 동일한 구성요소에 대하여는 동일부호를 부여하여 설명한다.

Mo, Al, Cr 등의 금속막을 스퍼터법으로 투명기판 10 위에 증착하고, 상기 증착된 금속막을 포토리소그래피법으로 에칭하여 게이트전극 60a를 형성한다.

이어서, 게이트절연막 50이 되는 TEOS산화막, 반도체층 80이 되는 a-Si층과, 오믹접촉층 80a, 80b가 되는 n^+ 이온이 도핑된 a-Si층을 스퍼터법으로 연속하여 증착하고, 포토리소그래피법으로 에칭하여 상기 a-Si층과, n^+ 이온이 도핑된 a-Si층이 게이트전극 60a 부분에 섬모상으로 형성되도록 한다. 이어서, 한 예로 Cr 금속막을 스퍼터법으로 증착하고, 포토리소그래피법으로 에칭하여 소스전극 70a와 상기 소스전극과 대향하는 드레인전극 70b가 각각 n^+ 이온이 도핑된 a-Si층 즉, 오믹접촉층 80a, 80b에 접촉되도록 형성한다. 상기 소스전극 70a 및 드레인전극 70b를 마스크로 하여 드라이에칭 등의 방법으로 오믹접촉층을 에칭함으로써 그 오믹접촉층은 각각 80a, 80b로 분리되도록 한다. 이어서 BCB 등의 유기절연막을 도포하여 보호막 55를 형성하고, 보호막 55에 드레인전극 70b 등이 일부 노출되는 콘택홀 20 등을 형성하고, 보호막 55 위에 ITO막을 증착한 후 패터닝하여 드레인전극 70b와 접촉되는 화소전극 40을 형성한다.

상기와 같은 과정을 거쳐 스위칭소자로 기능하는 TFT가 도 4의 구조로 구성되고, 특히 게이트전극 60a와 반도체층 80 사이에 개재되는 게이트절연막 50, 즉 TEOS산화막이 2000 \AA 정도의 두께로 형성된다. 상기 TEOS산화막은 SiNx , SiOx 등의 무기절연막에 비하여 라인의 단차를 타고 넘는 스텝커버리지 특성이 우수하기 때문에 2000 \AA 의 두께만으로도 하층의 게이트전극 60a의 스텝 h를 충분히 극복하여 게이트전극의 스텝부가 소스전극 및 드레인전극에 쇼트되는 불량은 발생하지 않는다.

상기와 같이 게이트절연막의 두께를 작게함으로써 TFT의 I_{on} 전류 특성을 개선할 수 있는 장점이 있지만, TEOS산화막만을 게이트절연막으로 사용하는 경우에는 a-Si으로 이루어지는 반도체층 80과의 계면특성이 크게 개선되지 않는다.

따라서 반도체층의 계면특성과 함께 TFT의 I_{on} 전류 특성을 좋게하기 위하여 도 5와 같이 게이트절연막 50을 TEOS산화막 50a와, SiNx , SiOx 등의 무기절연막 50b으로 구성한다.

즉, TEOS산화막 50a는 게이트스텝을 극복할 수 있을 정도의 1000 \AA 두께로 형성하고, SiNx , SiOx 등의 무기절연막 50b는 TEOS산화막 표면을 크리닝하는 과정에서 생긴 표면의 흠 결함을 완전히 메우고 표면에 얇은 막을 형성할 수 있을 정도의 두께인 1000 \AA 정도로 형성한다.

본 발명에서는 12.1인치급 SVGA 액정표시장치의 구성에 있어서, TFT의 게이트절연막을 TEOS산화막 1000 \AA / SiNx 막 1000 \AA 의 최소적층 구조 두께로 형성함으로써 게이트스텝과 소스전극 및 드레인전극이 쇼트되지 않고, TFT의 I_{on} 전류 특성이 개선되었음을 확인할 수 있었다.

상기 게이트절연막을 구성하는 TEOS산화막과, SiNx , SiOx 등의 무기절연막의 두께는 각각 1000 \AA 에 한정되지 않고, 각각 $500 \text{ \AA} \sim 2000 \text{ \AA}$ 의 범위 내에서 적절히 조절할 수 있을 것이다.

발명의 효과

본 발명은 액정표시장치의 TFT를 구성하는 있어서, TFT의 게이트절연막을 TEOS산화막과, SiNx , SiOx 등의 무기절연막으로 적층하여 4000 \AA 이하의 두께로 형성함으로써 게이트전극의 스텝부와 소스전극 및 드레인전극이 쇼트되는 불량을 극복함과 아울러 TFT의 I_{on} 전류 특성을 개선하도록 한다.

따라서, 본 발명은 액정표시장치의 픽셀 전하 특성이 그만큼 향상될 수 있고, TFT의 형성면적을 작게하여 고개구율의 액정표시장치를 구현할 수 있을 뿐만 아니라 제조 수율을 향상하는 효과가 있다.

(57) 청구의 범위

청구항 1

적어도 스위칭소자의 선택되는 전극과, 그 스위칭소자의 반도체층 사이에 개재되는 절연막은 TEOS산화막으로 구성되는 것을 특징으로 박막트랜지스터.

청구항 2

제1항에 있어서,

TEOS산화막은 $500 \text{ \AA} \sim 2000 \text{ \AA}$ 인 것을 특징으로하는 박막트랜지스터.

청구항 3

제1항에 있어서,

상기 절연막은 TEOS산화막과 무기절연막이 적층되어 이루어짐과 아울러, 상기 반도체층이 상기 무기절연막과 접하는 구조로 이루어지는 것을 특징으로 하는 박막트랜지스터.

청구항 4

제3항에 있어서,

상기 TEOS산화막의 두께는 $500 \text{ \AA} \sim 2000 \text{ \AA}$, 상기 무기절연막의 두께는 $500 \text{ \AA} \sim 2000 \text{ \AA}$ 인 것을 특징으로 하는 박막트랜지스터.

청구항 5

제4항에 있어서,

상기 무기절연막은 SiN_x 또는 SiO_x 인 것을 특징으로 하는 박막트랜지스터.

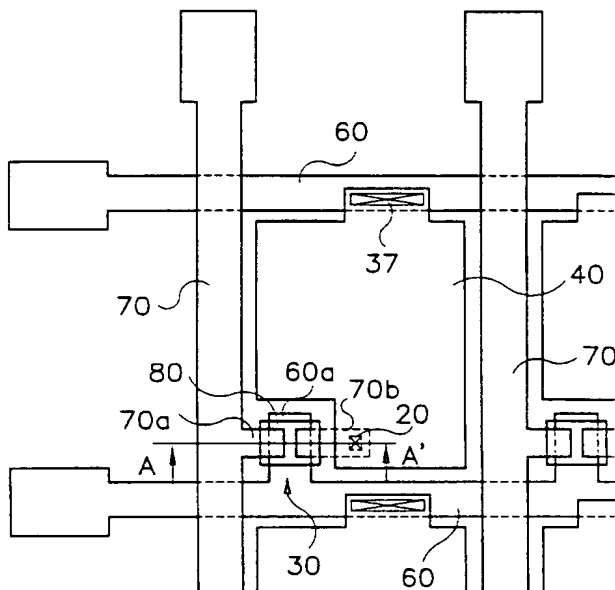
청구항 6

제5항에 있어서,

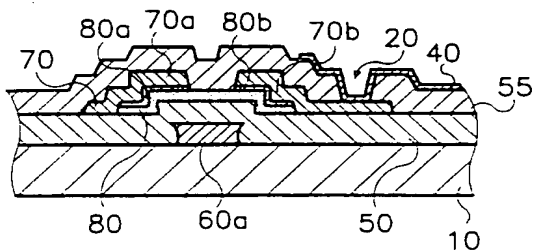
상기 반도체층은 a-Si층으로 이루어진 것을 특징으로 하는 박막트랜지스터.

도면

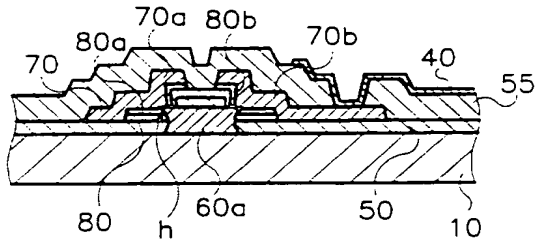
도면1



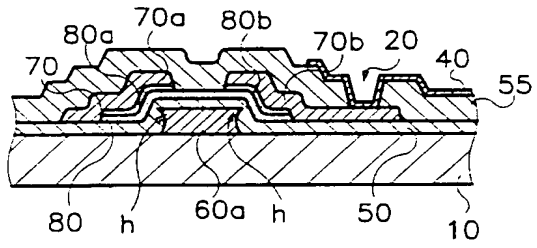
도면2



도면3



도면4



도면5

